

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-131636

(43)Date of publication of application : 09.05.2003

(51)Int.Cl.

G09G 3/36
G02F 1/133
G02F 1/1343
G02F 1/1368
G09G 3/20
G09G 3/34

(21)Application number : 2001-331844

(71)Applicant : HITACHI LTD

(22)Date of filing : 30.10.2001

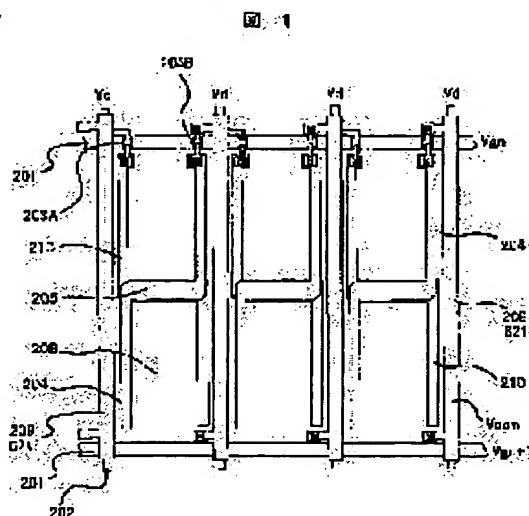
(72)Inventor : TSUMURA MAKOTO
KONNO TETSUTOYO
YAMAMOTO TSUNENORI
HIYAMA IKUO
AONO YOSHINORI

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a liquid crystal display device which realizes a low voltage drive with crosstalk-free high picture quality independent of a driving method and also which has a small number of wiring lines, a high aperture ratio and high brightness.

SOLUTION: In this display device, first and second pixel electrodes and active elements are arranged in a pixel and the output terminals of the elements are connected to respective pixel electrodes and column wiring or common wiring. The elements are driven by the difference voltage between the column wiring lines or the column wiring and the common wiring. Moreover, a superimposition part where the first pixel electrodes and the second pixel electrode overlaps via an insulator film is provided in the vicinity of the center of the column direction of the pixel and also a storage capacitor is formed in the superimposition part and, furthermore, the pixel is made to be a shape in which the first and second pixel electrodes form a relation of line symmetry in the column direction.



LEGAL STATUS

[Date of request for examination]

25.11.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

THIS PAGE BLANK (USPTO)

(11)特許出願公開番号

特開2003-131636

(P2003-131636A)

(43)公開日 平成15年5月9日(2003.5.9)

(51)Int.Cl. ⁷	識別記号	F I	デマゴート ^(参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 2
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133	2 H 0 9 3
1/1343		1/1343	5 C 0 0 6
1/1368		1/1368	5 C 0 8 0
G 0 9 G 3/20	6 1 1	G 0 9 G 3/20	6 1 1 D
<div> <div>審査請求</div> <div>未請求</div> <div>請求項の数25</div> <div>OL</div> <div>(全 20 頁)</div> <div>最終頁に続く</div> </div>			

(21)出願番号 特願2001-331844(P2001-331844)

(22) 出願日 平成13年10月30日 (2001. 10. 30)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 津村 誠

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(72)発明者 紺野 哲豊

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(74) 代理人 100075096

弁理士 作田 康夫

最終頁に続く

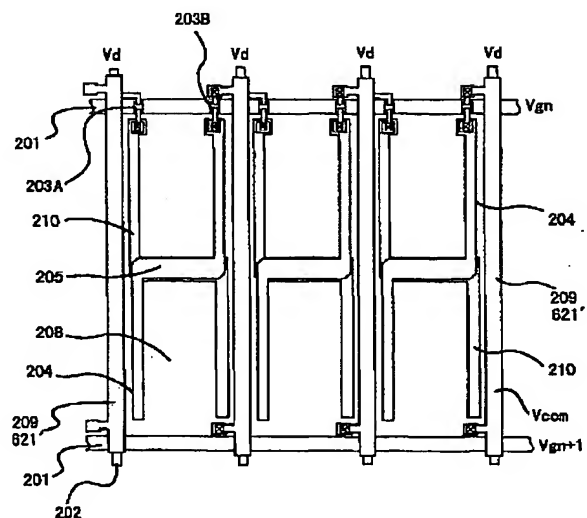
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】駆動方法を選ばない低電圧駆動をクロストークフリーの高画質で実現するとともに、配線数が少なく高開口率で明るい液晶表示装置を提供することにある。

【解決手段】画素内に第１と第２の画素電極およびアクティブ素子を配置し、その出力端子をそれぞれの画素電極と列配線または共通配線に接続する構成とし、列配線間または、列配線と共通配線の差電圧により駆動するとともに、画素の列方向の中央付近に第１の画素電極と第２の画素電極による絶縁膜を介した重畳部を設けるとともに、この重畳部に保持容量を形成し、この重畳部を中心として、第１の画素電極と第２の画素電極を列方向に線対称の関係をなす形状とする。

图 1



【特許請求の範囲】

【請求項1】少なくとも一方が透明な一对の基板と、該一对の基板間に挟持された液晶層と、前記一对の基板の一方の基板に複数の行配線と該複数の行配線に交差して配置された複数の列配線と、複数の共通配線を有し、前記複数の行配線と複数の列配線の交差部付近に第1のアクティブ素子を有し、該第1のアクティブ素子を通じてマトリクス状に配置された画素に画像データに応じた電圧を書込む液晶表示装置において、

前記画素内に第2のアクティブ素子、第1の画素電極、及び第2の画素電極を設け、前記第1のアクティブ素子の一端子を前記第1の画素電極に、他の端子を列配線に接続し、前記第2のアクティブ素子の一端子を前記第2の画素電極に、他の端子を前記共通配線または前記画素電極の書込みに関与しない行配線に接続するとともに、液晶への電圧書込み期間には前記第1および第2のアクティブ素子を導通状態とし、保持期間においては前記第1および第2のアクティブ素子を高抵抗状態とするとともに、画素に隣接する列配線のそれぞれについて、前記列配線と前記第1の画素電極間の容量と、前記列配線と前記第2の画素電極間の容量を等しくしたことを特徴とする液晶表示装置。

【請求項2】少なくとも一方が透明な一对の基板と、該一对の基板間に挟持された液晶層と、前記一对の基板の一方の基板に複数の行配線と該複数の行配線に交差して配置された複数の列配線と、複数の共通配線を有し、前記複数の行配線と複数の列配線の交差部付近に第1のアクティブ素子を有し、該第1のアクティブ素子を通じてマトリクス状に配置された画素に画像データに応じた電圧を書込む液晶表示装置において、前記画素内に第2のアクティブ素子、第1の画素電極、及び第2の画素電極を設け、前記第1のアクティブ素子の一端子を前記第1の画素電極に、他の端子を列配線に接続し、前記第2のアクティブ素子の一端子を前記第2の画素電極に、他の端子を前記共通配線に接続するとともに、液晶への電圧書込み期間には前記第1および第2のアクティブ素子を導通状態とし、保持期間においては該第1および第2のアクティブ素子を高抵抗状態とするとともに、前記画素の列方向の中央付近に前記第1の画素電極と前記第2の画素電極による絶縁膜を介した重畳部を設けるとともに、該重畳部を中心として、前記第1の画素電極と前記第2の画素電極を列方向に線対称の関係となす形状に形成したことを特徴とする液晶表示装置。

【請求項3】請求項2の液晶表示装置において、前記第1の画素電極と前記第2の画素電極による重畳部に保持容量を形成したことを特徴とする液晶表示装置。

【請求項4】請求項1から3のいずれか一項に記載の液晶表示装置において、

前記共通配線を前記行配線にほぼ平行に配置すると共に

この共通配線の一部に突起状のシールド電極を設け、該シールド電極が該列配線を挟むか、前記列配線と前記第1および第2の画素電極との間に位置するか、あるいは、覆うように配置したことを特徴とする液晶表示装置。

【請求項5】請求項1から3にいずれか一項に記載の液晶表示装置において、前記共通配線は、メッシュ状に配置していることを特徴とする液晶表示装置。

【請求項6】請求項1から3にいずれか一項に記載の液晶表示装置において、前記共通配線を前記列配線に平行に配置したことを特徴とする液晶表示装置。

【請求項7】少なくとも一方が透明な一对の基板と、該一对の基板間に挟持された液晶層と、前記一对の基板の一方の基板に複数の行配線と複数の列配線を配置し、該複数の行配線と複数の列配線の交差部に対応して画素を配置した液晶表示装置において、該画素内に第1の画素電極と第2の画素電極を設け、該画素内に第1のアクティブ素子を配置し、その出力端子を該第1の画素電極と画素に隣接する一方の列配線に接続し、該画素内に第2のアクティブ素子を配置し、その出力を該第2の画素電極と隣接する他方の列配線に接続するとともに、液晶への電圧書込み期間には該第1および第2のアクティブ素子を導通状態とし、保持期間においては該第1および第2のアクティブ素子を高抵抗状態とし、隣接する列配線の差電圧を液晶に印加することにより画像を表示するとともに、

画素に隣接する列配線のそれぞれについて、該列配線と第1の画素電極間の容量と、該列配線と第2の画素電極間の容量を等しくしたことを特徴とする液晶表示装置。

【請求項8】少なくとも一方が透明な一对の基板と、該一对の基板間に挟持された液晶層と、前記一对の基板の一方の基板に複数の行配線と複数の列配線を配置し、該複数の行配線と複数の列配線の交差部に対応して画素を配置した液晶表示装置において、

該画素内に第1の画素電極と第2の画素電極を設け、該画素内に第1のアクティブ素子を配置し、その出力端子を該第1の画素電極と画素に隣接する一方の列配線に接続し、該画素内に第2のアクティブ素子を配置し、その出力を該第2の画素電極と隣接する他方の列配線に接続するとともに、液晶への電圧書込み期間には該第1および第2のアクティブ素子を導通状態とし、保持期間においては該第1および第2のアクティブ素子を高抵抗状態とし、隣接する列配線の差電圧を液晶に印加することにより画像を表示するとともに、該画素の列方向の中央付近に該第1の画素電極と該第2の画素電極による絶縁膜を介した重畳部を設けるとともに、該重畳部を中心として、該第1の画素電極と該第2の画素電極を列方向に線対称の関係となす形状に形成したことを特徴とする液晶

表示装置。

【請求項 9】請求項 8 の液晶表示装置において、前記第 1 の画素電極と前記第 2 の画素電極による重畳部に保持容量を形成したことを特徴とする液晶表示装置。

【請求項 10】請求項 8 の液晶表示装置において、1 行を構成する画素を複数の画素群に分割し、1 行に対し、この分割数に等しい行配線をもうけ、各行配線がそれぞれ所定の画素群の書き込みを制御することを特徴とする液晶表示装置。

【請求項 11】請求項 10 の液晶表示装置において、画素群の数が 2 であることを特徴とする液晶表示装置。

【請求項 12】請求項 7 から 9 のいずれか一項に記載の液晶表示装置において、該第 1 および第 2 のアクティブ素子を P 型と N 型の 2 種類のアクティブ素子で構成し、各画素毎には同一の種類のアクティブ素子で構成し、各行配線に接続するアクティブ素子の種類が隣接する画素毎に異なることを特徴とする液晶表示装置。

【請求項 13】請求項 7 から 9 のいずれか一項に記載の液晶表示装置において、

1 行を構成する画素を複数の画素群に分割し、該第 1 および第 2 のアクティブ素子を P 型と N 型の 2 種類のアクティブ素子で構成し、各画素毎には同一の種類のアクティブ素子で構成するとともに、各行配線に接続するアクティブ素子の種類が該画素群毎に異なることを特徴とする液晶表示装置。

【請求項 14】請求項 12 又は 13 の液晶表示装置において、

該第 1 および第 2 のアクティブ素子を P 型と N 型の 2 種類のアクティブ素子で構成し、各画素毎には同一種類のアクティブ素子で構成し、該アクティブ素子の種類を 1 行毎に変えて構成することを特徴とする液晶表示装置。

【請求項 15】請求項 12 から 14 のいずれか一項に記載の液晶表示装置において、全画面の表示を複数のサブフレームに分割し、1 つのサブフレームで画素に電圧をアクティブ素子の種類を同一としたことを特徴とする液晶表示装置。

【請求項 16】請求項 7 から 15 のいずれか一項に記載の液晶表示装置において、該画素を構成する第 1 の画素電極と第 2 の画素電極に書込む電圧の平均値が常に一定であることを特徴とする液晶表示装置。

【請求項 17】請求項 7 から 16 のいずれか一項に記載の液晶表示装置において、インターレース画像データを入力するとともに、1 行を 2 種類の画素群から構成し、1 行の選択時間を 2 分割し、それぞれの画素群の画像データを書込むことを特徴とする液晶表示装置。

【請求項 18】請求項 1 から 17 のいずれか一項に記載の液晶表示装置において、

液晶の表示モードがインプレーンスイッチングモードであることを特徴とする液晶表示装置。

【請求項 19】請求項 18 の液晶表示装置において、該第 1 および第 2 の画素電極と行配線の成す角度が、該第 1 および第 2 の画素電極の重畳部の上下で異なることを特徴とする液晶表示装置。

【請求項 20】請求項 1 から 19 のいずれか一項に記載の液晶表示装置において、画素への書き込み用該第 1 のアクティブ素子が高移動度アクティブ素子であることを特徴とする液晶表示装置。

【請求項 21】請求項 20 の液晶表示装置において、該高移動度アクティブ素子が多結晶薄膜トランジスタまたは単結晶シリコントランジスタであることを特徴とする液晶表示装置。

【請求項 22】請求項 1 から 21 のいずれか一項に記載の液晶表示装置において、全画面をフレーム信号に同期してプリセット書き込みし、照明装置の間欠点灯により画像を可視化するとともに、1 フレーム期間内に正極性と負極性の両極性を表示するとともに、1 フレーム期間から、各行のプリセット表示期間を差し引いた残りの時間を各行の正極性表示と負極性表示に等しく配分して表示することを特徴とする液晶表示装置。

【請求項 23】請求項 1 から 21 のいずれか一項に記載の液晶表示装置において、全画面をフレーム信号に同期してプリセット書き込みし、照明装置の間欠点灯により画像を可視化するとともに、1 フレーム期間を、プリセット書き込み期間、第 1 の書き込み期間、第 1 の保持期間、第 2 の書き込み期間、第 2 の保持期間に分割し、かつ、この順序に従い駆動するとともに、第 1 の書き込み期間と第 2 の書き込み期間の書き込み電圧極性を反転するとともに、第 2 の書き込み期間が第 1 の書き込み期間の約 2 分の 1 であることを特徴とする液晶表示装置。

【請求項 24】請求項 1 から 23 のいずれか一項に記載の液晶表示装置において、該照明装置が高速応答光源を用いていることを特徴とする液晶表示装置。

【請求項 25】請求項 24 の液晶表示装置において、該高速応答光源が LED (Light Emitting Diode)、電界放出型電子源応用光源 (FED 光源: Field Emission Display Light Source)、プラズマ利用発光型光源、高速応答蛍光管のいずれか、あるいはこれらの組合わせであることを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置に係り、クロストークによる画質劣化を抑制し、高画質かつ駆動電圧および消費電力の低減が可能な液晶表示装置に関する。

【0002】

【従来の技術】液晶表示装置は、薄型軽量、超低消費電力の特徴を生かしてノート型および携帯電話に代表されるモバイル機器の表示部として、広く用いられるとともに、薄型・軽量、高精細表示などの点で、CRT (Cathode Ray Tube) などの表示装置を凌ぐ性能を発揮することから、デスクトップ型パーソナルコンピュータ (PC) のモニターおよび液晶テレビとして普及し始めている。

【0003】液晶表示装置の表示原理としては、主流のTN (ツイステッド ネマチック: Twisted Nematic) の他に、広視野角を特徴とするIPSモード (インプレーン スイッチング モード: In-plane Switching Mode), MVA (Multi Domain Vertical Alignment), OCB (Optically Compensated Birefringence) などが用いられている。

【0004】これらの表示モードの中で、インプレーン スイッチングモードは、視野角特性に優れることと、一方の基板にアクティブ素子、電極さらにはカラーフィルタなどの液晶パネルの構成要素を殆ど全て集めることができることから、上下基板間の電極パターン合せの問題の無い高精細な液晶表示装置を安価に実現できる方式として期待されている。

【0005】インプレーン スイッチングモードの開発初期の課題のひとつとして、画像データに基づく信号電圧を印加する列配線からのクロストークによる画質劣化の改善があった。これは、列配線と画素電極が近接して配置されていると、配線と電極間の結合容量により、信号電圧の変動がある一定の割合で画素電位に対してクロストーク電圧として重畳されるために発生する。これを防止するため第2の画素電極をシールド電極として兼用する構造が考案され、特開平6-202127号公報に開示されている。

【0006】インプレーン スイッチングモードのもうひとつの課題として、横方向の電界により液晶を駆動するため、電極間距離を広げて開口率を上げようとする駆動電圧が上昇し易いという課題があった。液晶駆動電圧が高くなると、液晶に電圧を印加するために液晶パネルの周辺に配置した駆動素子の耐電圧を向上することや、駆動素子をガラス基板上に低温プロセスの多結晶シリコンや非晶質シリコンなどにより形成した薄膜トランジスタなどのアクティブ素子で構成した場合には、薄膜トランジスタの耐電圧を上げることが必要になる。また、画素部のアクティブ素子に必要な耐電圧も高くなる。これらのアクティブ素子の耐電圧向上により、駆動素子の面積の増大による高精細化の制限や非表示領域の増大、薄膜トランジスタの耐電圧を上げるためのプロセスの増大やガラス周辺領域の増大など液晶表示装置の特徴のいくつかを損なう恐れがあった。

【0007】筆者らはこれらの課題に対して、配線数を

減らしても液晶には十分な電圧が印加され、かつ駆動素子の耐電圧を低電圧化する構造として、1画素内に複数のTFTを配置しこれらのTFTで書込む電圧の差分で液晶を駆動して画像を表示する差動駆動方式を考案し、特開平6-148596号公報や、特開平6-202073号公報に開示した。

【0008】

【発明が解決しようとする課題】本発明における課題を明確にするため、まず全てのアクティブマトリクス型の液晶表示モードに共通な基本構成とその駆動方式について説明し、その後、インプレーン スイッチングモードを例にアクティブマトリクス型液晶表示装置の課題について説明する。

【0009】図22にアクティブマトリクス型液晶表示装置の等価回路図を示す。選択期間の開始時に行配線201にアクティブ素子203がオン状態となる電位がゲートドライバ106により与えられ、データドライバ107により列配線202に画像データに基づく電位が与えられ、アクティブ素子203を介して画像データに基づく電位が画素電極210に与えられる。画素電極210の電位と、液晶の第2の画素電極204と保持容量の205に対する共通配線209との電位差が、並列に接続されている液晶208と保持容量205に充電される。TNモードやMVAモード、あるいはOCBモードのように通常、対向基板側に全画素共通の平面状の第2の画素電極を持つ場合には、この図に示すように第2の画素電極204は対向基板側に形成され、保持容量205の共通配線209はアクティブ素子と同一の基板上に形成される。一方、インプレーン スイッチングモードの如く、画素電極210と第2の画素電極204を同一基板上に形成できる構成においては、共通配線209と第2の画素電極204を接続することができる。選択期間の終了時に行配線201にアクティブ素子203がオフ状態となる電位が与えられ、書込みが完了する。液晶208と保持容量205の充電は液晶の光学応答に比べて非常に短い時間で終了する。この時、液晶208が示す光の透過率は書込まれた電圧の絶対値に対応し、電圧の極性には依存しない。

【0010】インプレーン スイッチングモードのアクティブマトリクス型液晶表示装置におけるクロストークについて、図21により説明する。

【0011】図21にアクティブマトリクス型インプレーン スイッチングモードの1画素の等価回路を、図23にその平面レイアウト図を示す。液晶表示装置としての全体構成は図22と同様であることから省略する。本図は等価回路図であると同時に、ほぼ平面的な配置も示しており、第2の画素電極204が通常、一定電位の共通配線209に接続されていることから、第2の画素電極204が列配線202のVd1およびVd2の電圧変動に対する電氣的シールドとして作用し、画素電極210の電

位を安定化させる。したがって、第2の画素電極204の幅を十分取ることにより列配線202の電位変動の影響をほとんど受けることがなく、クロストークの無い高画質な画像を表示できる。しかし、開口率を上げる目的や高精細化により画素面積が小さい場合などで、第2の画素電極204の幅を狭くしていくと、画像データに基づく電圧が印加される列配線202の電圧変動が寄生容量631の容量結合を介して伝達され、クロストーク電圧が画素電極210に重畳される。この場合、ノーマリブラックモードのインプレーンスイッチングモードでは黒表示輝度の上昇によるコントラスト低下や、中間調表示における列方向のクロストーク、あるいは、極性により非対称な電圧が重畳されることによるフリッカや残像などが観察されることがある。

【0012】これらの画質劣化の内、フリッカと中間調表示における列方向のクロストークについては駆動方法による抑制方法が取り入れられてきた。ここで、フリッカと液晶に与える電圧の極性、およびフリッカを抑制する方法について説明する。一般に液晶は直流電圧を印加すると特性が劣化することが知られており、通常ある画素の液晶に与えられる画像データは、少なくとも1フレーム毎にその極性を反転させて印加している。液晶が示す透過率は、印加電圧の大きさにより決まり、その極性には依存しないが、アクティブ素子を用いて駆動した場合、アクティブ素子が持っている寄生容量やアクティブ素子のオフ時のリーク電流などによるクロストークが発生し、第1の画素電極210に対して同じ大きさの電圧が印加されるようにデータドライバから電圧を供給しても、実際に液晶に印加される電圧値はその極性によって僅かなずれが生じる。通常、液晶表示装置は1フレームを60Hzで表示する。正極性と負極性で液晶に印加される電圧が等しければ60Hzの交流駆動となるため人間の目にはフリッカとして観察されないが、同じ画像データでも正極性と負極性で輝度が異なる場合には30Hz成分のフリッカとして認識される。フリッカを抑える方法としては、フレーム周波数を増大させ、例えば120Hzで表示すれば、人間の目の弁別周波数を超えることにより正極性と負極性の輝度差によるフリッカを認識することができない。他のフリッカ抑制方法としては、正極性で書込む画素と負極性で書込む画素を空間的に分散させることにより輝度差を平均化して人間の目にフリッカを認識させないようにする方法もある。

【0013】従来は、ゲートドライバやデータドライバの駆動能力の制限を避けるため、特に大型液晶表示装置においては、専ら書込み極性を空間的に分散させる方法が用いられてきた。空間的に分散させない方法も含めて次の4種類のアクティブマトリクス型液晶表示装置の駆動方法が知られている。

(1) フレーム反転駆動：印加電圧の極性を空間的に分散させずにフレーム毎に極性を反転する駆動方式で、最

もフリッカが観測されやすい。

(2) 行毎反転駆動：印加電圧の極性を行毎に反転させ、さらにその極性をフレーム毎に反転させる駆動方式。

(3) 列毎反転駆動：印加電圧の極性を列毎に反転させ、さらにその極性をフレーム毎に反転させる駆動方式。

(4) ドット反転駆動：印加電圧の極性を行毎と列毎の双方に反転させ、さらにその極性をフレーム毎に反転させる駆動方式でフリッカが最も抑制できる駆動方式、の4種類である。

【0014】フレーム反転駆動は、画面全面で同じ極性の画像データを書込むので、あるフレーム中にデータドライバが出力する電位は第2の画素電極に対して常に同極性にでき、書込み極性に応じて第2の画素電極の電位を変動させるコモン交流駆動方式と組み合わせると低耐圧のデータドライバを使用することができるという利点を持っている。しかし、従来の画素構造において、60Hzのフレーム周波数で、可視化される表示画像の極性がフレーム毎に反転する場合は前述の正負極性の書込み特性の違いからフリッカが認められやすい。

【0015】行毎反転駆動および列毎反転は画面内で表示画像の極性を分散させ、極性が異なることによる輝度の違いを人間の目に平均化させて表示することによりフリッカを認識できないようにしている。

【0016】ドット反転駆動は表示画像の極性を行毎さらに列毎に反転させているため、極性が異なることによる輝度の違いをより平均化し、フリッカの認識を防いでいる駆動方式である。

【0017】上記4種類の駆動方法の内、行毎反転駆動方法とドット反転駆動方法は1行毎に書込み極性が変わることから、画像に拠らず、列配線に印加される電圧の平均値はほぼ一定となるため、寄生容量を通じて列配線から画素電極に印加されるクロストーク電圧を大幅に抑制することができる。しかし、1行おきの繰り返しパターンの如く、これらの駆動法の効果をキャンセルする表示パターンが存在し、万能な駆動方法とはなっていない。さらに、行毎反転駆動方法とドット反転駆動方法は各種の低電圧駆動方法に対する制約が多くある。たとえば、共通配線を交流化する低電圧駆動においてドット反転駆動方法と組み合わせが可能な共通配線構造は実現されていない。また、行毎反転駆動方法における低電圧駆動では行配線の抵抗値に制約があり、高精細、大画面化で高画質を得ることが難しいとされている。

【0018】次に図20により、差動駆動方式について説明する。この画素構造および駆動方法を簡潔に説明すると、1画素に2つのアクティブ素子を設け、隣接する列配線の電位と、画像データに基づく信号電圧を印加した自画素の列配線との差電圧により液晶に電圧を印加するもので、独自の共通配線を設ける必要がないことから

高開口率化を図れることを特徴とする。図20は画素電極を挟む両側の列配線の電位差により液晶に電圧を書込む方式の画素構造を示している。この方式では隣接する列配線間の電位差のとり方に任意性があることから、ドット反転駆動を含むあらゆる低電圧駆動が可能であるが、隣接配線間の電位差が徐々に重畳されていくことから、高い耐電圧の駆動素子が必要になるか、複雑な列配線電位の設定が必要である。

【0019】以上を鑑みた本発明の目的は、上記で述べた多くの駆動方法に対する低電圧駆動をクロストークフリーの高画質で実現することである。

【0020】本発明の他の目的は、配線数が少なく高開口率で明るい液晶表示装置を提供することにある。

【0021】

【課題を解決するための手段】本発明の一実施態様によれば、少なくとも一方が透明な一対の基板と、この一対の基板間に挟持された液晶層とを有し、一対の基板の一方の基板に複数の行配線とこの複数の行配線に交差して配置された複数の列配線と、複数の共通配線を有し、複数の行配線と複数の列配線の交差部付近に第1のアクティブ素子を有し、この第1のアクティブ素子を通じてマトリクス状に配置された画素に画像データに応じた電圧を書込む液晶表示装置で、画素内に第2のアクティブ素子、第1の画素電極、及び第2の画素電極を設け、第1のアクティブ素子の一端子を第1の画素電極に、他の端子を列配線に接続し、第2のアクティブ素子の一端子を第2の画素電極に、他の端子を共通配線または画素電極の書込みに関与しない行配線に接続するとともに、液晶への電圧書込み期間には第1および第2のアクティブ素子を導通状態とし、保持期間においては第1および第2のアクティブ素子を高抵抗状態とするとともに、画素に隣接する列配線のそれぞれについて、列配線と第1の画素電極間の容量と、列配線と第2の画素電極間の容量を等しくしたというものである。

【0022】本発明の別の実施態様によれば、少なくとも一方が透明な一対の基板と、この一対の基板間に挟持された液晶層とを有し、一対の基板の一方の基板に複数の行配線と複数の行配線に交差して配置された複数の列配線と、複数の共通配線を有し、複数の行配線と複数の列配線の交差部付近に第1のアクティブ素子を有し、この第1のアクティブ素子を通じてマトリクス状に配置された画素に画像データに応じた電圧を書込む液晶表示装置で、画素内に第2のアクティブ素子、第1の画素電極、及び第2の画素電極を設け、第1のアクティブ素子の一端子を第1の画素電極に、他の端子を列配線に接続し、第2のアクティブ素子の一端子を第2の画素電極に、他の端子を共通配線に接続するとともに、液晶への電圧書込み期間には第1および第2のアクティブ素子を導通状態とし、保持期間においては第1および第2のアクティブ素子を高抵抗状態とするとともに、画素の列方

向の中央付近に第1の画素電極と第2の画素電極による絶縁膜を介した重畳部を設けるとともに、重畳部を中心として、第1の画素電極と第2の画素電極を列方向に線対称の関係をなす形状に形成したというものである。

【0023】さらに、これらの実施形態は、第1の画素電極と第2の画素電極による重畳部に保持容量を形成したというものである。

【0024】さらには、共通配線を行配線にほぼ平行に配置すると共にこの共通配線の一部に突起状のシールド電極を設け、このシールド電極が列配線を挟むか、列配線と第1および第2の画素電極との間に位置するか、あるいは、覆うように配置したというものである。この構成により、更に画質の向上が期待できる。

【0025】本発明の他の実施形態は、少なくとも一方が透明な一対の基板と、この一対の基板間に挟持された液晶層とを有し、一対の基板の一方の基板に複数の行配線と複数の列配線を配置し、複数の行配線と複数の列配線の交差部に対応して画素を配置した液晶表示装置で、画素内に第1の画素電極と第2の画素電極を設け、画素内に第1のアクティブ素子を配置し、その出力端子を該第1の画素電極と画素に隣接する一方の列配線に接続し、この画素内に第2のアクティブ素子を配置し、その出力を第2の画素電極と隣接する他方の列配線に接続するとともに、液晶への電圧書込み期間には該第1および第2のアクティブ素子を導通状態とし、保持期間においては該第1および第2のアクティブ素子を高抵抗状態とし、隣接する列配線の差電圧を液晶に印加することにより画像を表示するとともに、画素に隣接する列配線のそれぞれについて、該列配線と第1の画素電極間の容量と、該列配線と第2の画素電極間の容量を等しくしたものである。

【0026】画素の形状としては、画素の列方向の中央付近に第1の画素電極と第2の画素電極による絶縁膜を介した重畳部を設けるとともに、この重畳部に保持容量を形成し、この重畳部を中心として、第1の画素電極と第2の画素電極を列方向に線対称の関係をなす形状とすることにより最も効果的に作用する。

【0027】駆動方法としては、1行を構成する画素を2つの画素群に分割し、1行に対し、2本の行配線をもうけ、各行配線がそれぞれ所定の画素群の書込みを制御することにより達成される。

【0028】また、該第1および第2のアクティブ素子をP型とN型の2種類のアクティブ素子で構成し、各画素毎には同一の種類のアクティブ素子とし、各行配線に接続するアクティブ素子の種類が隣接する画素毎に異なるように配置することにより達成される。

【0029】さらに、画質を向上する駆動方法としては、画素を構成する第1の画素電極と第2の画素電極に書込む電圧の平均値を常に一定とすることにより実現できる。

【0030】

【発明の実施の形態】以下、本発明の実施例を図面を用いて具体的に説明する。

【0031】（実施例1）本発明の第1の実施例を図1から図9、図16、図24及び図25により説明する。本実施例はノーマリブラックのインプレーンスイッチングモードに適用した例であり、縦スミアなどのクロストークの発生を抑制した液晶表示装置を提供するものであるが、同一基板上に共通配線や第2の画素電極を設けることが可能な表示モードや、対向基板上に共通配線や第2の画素電極を設ける表示モードでも対向基板上に共通配線を個別に制御できる回路を設けた表示モードに適用できる。図1は本発明の第1の実施例の3画素分の画素レイアウト図、図2は図1に示す画素の等価回路図、図3に保持状態における寄生容量を含む画素の詳細な等価回路図、図4から図6および図8と図9は本実施例の他の構成を示す画素レイアウト、図7及び図25は本実施例の他の構成を示す画素の等価回路図、図16は本実施例の駆動シーケンス、図24にインプレーンスイッチングモードの原理図を示す。

【0032】本実施例は、本発明に成る駆動方式を電圧無印加時、すなわち、しきい値以下の電圧を印加した時に黒表示となるノーマリブラックのインプレーンスイッチングモードに適用した例である。本実施例はインプレーンスイッチングモードを例に説明しているが、液晶に電位を与える対をなす電極が保持状態において画素毎に独立し、かつ高抵抗状態となる構成であればTNモードやMVAモードあるいは投射型などの液晶表示装置に広く適用できる。

【0033】まず、最初にインプレーンスイッチングモードについて説明する。図24(a)、(b)はインプレーンスイッチングモード液晶のパネル内での液晶の動作を示す側断面を、図24(c)、(d)はその正面図を表す。図24ではアクティブ素子を省略してある。また、説明図ではストライプ状の電極を構成して複数の画素を形成するが、ここでは一画素の部分を示した。電圧無印加時のセル側断面を図24(a)に、その時の正面図を図24(c)に示す。透明な一対の基板403の内側に線状の電極401、402が形成され、その上に配向制御膜404が塗布及び配向処理されている。これらの透明な一対の基板403の間には液晶組成物が挟持されている。棒状の液晶分子405は、電界無印加時にはストライプ状の電極の長手方向に対して若干の角度、即ち $45^\circ \leq \theta$ （電界方向に対する界面近傍での液晶分子長軸（光学軸）方向のなす角） $\theta < 90^\circ$ 、をもつように配向されている。上下界面上での液晶分子配向方向はここでは平行を例に説明する。また、液晶組成物の誘電異方性は正を想定している。次に、電界407を印加すると図24(b)、(d)に示したように電界方向に液晶分子がその向きを変える。偏光板406の偏光透過軸を所

定角度 409 に配置することで電界印加によって光透過率を変えることが可能となる。このように、本発明によれば透明電極がなくとも透過光のコントラスト比を与える表示が可能となる。

【0034】コントラスト比を付与する具体的構成としては、上下基板上的液晶分子配向がほぼ平行な状態を利用したモード（複屈折位相差による干渉色を利用するので、ここでは複屈折モードと呼ぶ）と、上下基板上的液晶分子配向方向が交差しセル内での分子配列がねじれた状態を利用したモード（液晶組成物層内で偏光面が回転する旋光性を利用するので、ここでは旋光性モードと呼ぶ）とがある。複屈折モードでは、電圧印加により分子長軸（光軸）方向が基板界面にほぼ平行なまま面内でその方位を変え、所定角度に設定された偏光板の軸とのなす角を変えて光透過率を変える。旋光性モードでも同様に電圧印加により分子長軸方向の方位のみを変えるが、こちらの場合はらせんがほどこけることによる旋光性の変化を利用する。また、本発明の表示モードでは液晶分子の長軸は基板と常にほぼ平行であり、立ち上がることがなく、従って視角方向を変えた時の明るさの変化が小さいので、視角依存性がなく、視角特性が大幅に向上する。本表示モードは従来のように電圧印加で複屈折位相差をほぼ0にすることで暗状態を得るものではなく、液晶分子長軸と偏光板の軸（吸収あるいは透過軸）とのなす角を変えるもので、根本的に異なる。従来のTN型のように液晶分子長軸を基板界面に垂直に立ち上がらせる場合だと、複屈折位相差が0となる視角方向は正面即ち基板界面に垂直な方向のみであり、僅かでも傾斜すると複屈折位相差が現れる。ノーマリオープン型では光が漏れ、コントラスト比の低下や階調レベルの反転を引き起こす。

【0035】本実施例で用いた、インプレーンスイッチングモード液晶の作成方法について説明する。基板としては厚みが 0.7 mm で表面を研磨したガラス基板を2枚用いる。これらの基板間に誘電率異方性 $\Delta\epsilon$ が正でその値が 4.5 であり、複屈折 Δn が $0.072(589\text{ nm}, 20^\circ\text{C})$ のネマチック液晶組成物を挟む。ここでは、誘電率異方性 $\Delta\epsilon$ が正の液晶を用いたが、負の液晶を用いてもよい。基板表面に塗布したポリイミド系配向制御膜をラビング処理して、 3.5 度のブレチルト角とする。ラビングに拠る配向処理を用いたが、光反応性の配向膜を用いて、偏光紫外光により配向処理をすることが可能で、この場合には、更に均一かつ、コントラスト比の高い表示が得られる。上下界面上のラビング方向は互いにほぼ平行で、かつ印加電界方向とのなす角度を 85 度とした。上下基板のギャップは球形のポリマビーズを基板間に分散して挟持し、液晶封入状態で $4.5\text{ }\mu\text{m}$ とした。よって $\Delta n \cdot d$ は $0.324\text{ }\mu\text{m}$ である。液晶材料と上下基板のギャップの組合わせについては、本実施例の組合わせに限るものではなくいくつかの選択が可

能である。たとえば、 $\Delta n \cdot d$ をほぼ同じとする組合せについても、複屈折 Δn が更に大きな材料を選択し、ギャップを狭くして液晶の応答速度を速くすることも可能である。また、 $\Delta n \cdot d$ の値自体をもっと小さくして、液晶への印加電圧に対する色調の変化を押さえる選択も可能である。2枚の偏光板でパネルを挟み、一方の偏光板の偏光透過軸をラビング方向にほぼ平行(85°)とし、他方をそれに直交(-5°)とした。これにより、ノーマリクロズ特性を得た。本実施例では、印加電界方向を画素内で一方向としたが、画素内を分割して複数の印加電界方向とすることにより、視野角特性を更に向上させることが可能で、例えばくの字の形状に分割する構造が有効である。

【0036】図1から図3を例に、本実施例の画素構成およびその作用について説明する。

【0037】基本構成は図24に示したインプレースイッチングモードによる液晶表示装置と同様であるが、各画素を2つのアクティブ素子203Aおよび203Bにより構成し、第1のアクティブ素子203Aのドレイン端子は従来と同様に列配線202を経由してデータドライバの出力に接続し、ソース端子を第1の画素電極210に接続し、第2のアクティブ素子203Bのドレイン端子を、共通配線209に接続するとともに、第2のアクティブ素子203Bのソース端子を第2の画素電極204に接続するとともに、画素の列方向の中央付近に第1の画素電極210と第2の画素電極204による絶縁膜を介した重畳部を設けるとともに、この絶縁膜を介した重畳部に保持容量205を形成し、この重畳部を中心として、第1の画素電極210と第2の画素電極204を列方向に線対称の関係をなす形状としている点の特徴である。

【0038】図1において、図示していない照明装置による照射光は、液晶に電圧を印加するための第1の画素電極210と第2の画素電極204の間に充填された液晶の電気光学特性と、図示していないクロスニコルの関係に配置された偏光板により透過率が制御され、液晶表示装置全体として画像として可視化される。液晶はこの時、第1の画素電極210と第2の画素電極204間の容量素子208として作用すると共に、外部からの静電気力の影響を受けて電気光学特性、すなわち透過率が変化する。ここで共通配線209はデータドライバの電圧出力を各画素のアクティブ素子に伝える列配線202の電圧変動による液晶に対する静電的なノイズ(通称電氣的クロストークあるいは単にクロストークとも呼ばれる)を、表示画像に依らないほぼ固定電位を有する共通配線により電氣的に遮蔽するものでシールド電極621*

$$V_{ccm} = V_{d1} + V_{dc2} = V_{d2} + V_{dc2}$$

【0042】

$$V_{ccm} + V_{lc} = V_{d1} + V_{ds1} = V_{d2} + V_{ds2}$$

である。また、画素電極210と第2の画素電極204

*としても作用する。このシールド電極621は、好ましくは図1に示すように、ほぼ完全に列電極を覆うことが遮蔽性能および開口率向上の点から好ましいが、プロセスの制約により多層化できない場合は、列配線202と画素電極210の間に配置しても同様の効果が得られる。

【0039】シールド電極621が完全に固定電位の場合には、クロストークの発生を大幅に抑制することが可能であるが、シールド電極621の電位が固定でも更に画質を向上することや、隣接するシールド電極に電位差を持たせて表示装置全体の電圧を低減する低電圧駆動を実現させるために、第1および第2の画素電極に書込まれた電圧に抛らない電位差が画素部に発生する場合や、シールド電極を削除して開口率を大幅に向上させることを目的とする場合には更に改善が必要となる。そこで、クロストークについて定量的かつ詳細に解析する。図3は1画素の寄生容量を含む詳細な等価回路図である。この図において、列配線202Aおよび202Bからのクロストークは保持状態、すなわち2つのアクティブ素子203Aおよび203Bは高抵抗の状態の時に発生する。この時、2つのアクティブ素子203Aおよび203Bは高抵抗状態として作用するため、参考として破線で示した。2列の列配線202Aおよび202Bのデータドライバ出力 V_{d1} と V_{d2} によるクロストークについて解析する。液晶容量208と保持容量205を代表して画素容量 C_{lc} と称す。この画素容量 C_{lc} の両端の電極である画素電極210と第2の画素電極204に対して、 V_{d1} に関連する列配線202Aとの寄生容量 C_{ds1} 及び C_{dc1} 、 V_{d2} に関連する列配線202Bとの寄生容量 C_{ds2} 及び C_{dc2} がそれぞれ接続され、共通配線 V_{com} と第2の画素電極204との間で第2のアクティブ素子の寄生容量 C_{ccm62} が接続されている。アクティブ素子203Aの寄生容量もアクティブ素子203Bとほぼ同じ大きさで存在するが、通常、配線間の寄生容量 C_{ds1} に比較して無視できる程度に小さいため、寄生容量 C_{ds1} に含めて考えることとする。

【0040】共通配線の電位を基準電位とし、各容量の両端電圧を以下のように決める。第2のアクティブ素子203Bの寄生容量626の両端電圧を V_{ccm} 、配線/電極間寄生容量624の両端電圧を V_{dc2} 、以下同様に、寄生容量625の両端電圧を V_{dc2} 、寄生容量622の両端電圧を V_{ds1} 、寄生容量623の両端電圧を V_{dc1} 、液晶容量208および205の両端電圧を V_{lc} とする。この時、第2の画素電極204の電位と画素電極の電位について考えると、

【0041】

【数1】

(数式1)

※ ※ 【数2】

(数式2)

にアクティブ素子203Aおよび203Bにより充電され

15

16

た電荷をそれぞれ Q_1 と Q_2 とすると、

*【数3】

【0043】

*

$$Q_1 = C_{ds1} \times V_{ds1} + C_{ds2} \times V_{ds2} + C_{lc} \times V_{lc}$$

(数式3)

【0044】

*【数4】

$$Q_2 = C_{dc1} \times V_{dc1} + C_{dc2} \times V_{dc2} + C_{ccm} \times V_{ccm} - C_{lc} \times V_{lc}$$

(数式4)

列配線の電圧変動をそれぞれ ΔV_{d1} と ΔV_{d2} とすると、

★【0045】

各電極での電荷の変動量 ΔQ_1 および ΔQ_2 について(数式

【数5】

1) から(数式4)により求めると、

★

$$\Delta Q_1 = -C_{ds1} \times \Delta V_{d1} - C_{ds2} \times \Delta V_{d2} + (C_{ds1} + C_{ds2} + C_{lc}) \times \Delta V_{lc}$$

$$+ (C_{ds1} + C_{ds2}) \times \Delta V_{ccm}$$

(数式5)

【0046】

☆ ☆【数6】

$$\Delta Q_2 = -C_{dc1} \times \Delta V_{d1} - C_{dc2} \times \Delta V_{d2} - C_{lc} \times \Delta V_{lc} + C_{ccm} \times \Delta V_{ccm}$$

(数式6)

ここで、電荷保存則により、 $\Delta Q_1 = \Delta Q_2 = 0$ であるか

◆【0047】

ら、(数式5)と(数式6)より画素容量の両端電圧の変

【数7】

動量 ΔV_{lc} について求めると、

◆

$$\Delta V_{lc} = \frac{1}{2 \times C_{lc} + C_{ds1} + C_{ds2}} \{ (C_{ds1} - C_{dc1}) \times \Delta V_{d1} + (C_{ds2} - C_{dc2}) \times \Delta V_{d2} \\ + (C_{ccm} - C_{ds1} - C_{ds2}) \times \Delta V_{ccm} \}$$

(数式7)

【0048】ここで、画素容量の両端電圧の変化をなく

20*【0049】

すためには $\Delta V_{lc} = 0$ であるから、

*【数8】

$$\Delta V_{ccm} = \frac{-1}{C_{ccm} - C_{ds1} - C_{ds2}} \{ (C_{ds1} - C_{dc1}) \times \Delta V_{d1} + (C_{ds2} - C_{dc2}) \times \Delta V_{d2} \}$$

(数式8)

【0050】(数式8)が常に成立するためには、

*【数9】

【0051】

*

$$C_{ds1} \equiv C_{dc1} \quad \text{かつ} \quad C_{ds2} \equiv C_{dc2}$$

(数式9)

が条件となる。

【0052】構造的には、各画素に隣接する左右の各列配線と各画素の第1の画素電極間の容量と、各列配線と各画素の第2の画素電極間の容量を等しくすることにより達成される。各列配線に対する2つの寄生容量を等しくする構造として絶対的な制約は無く、所望の電極構造に補助容量を付加して等しくすることも可能であるが、最も簡便、かつ、製造上のプロセスばらつきに対して裕度のある形状としては、列配線と第1および第2の画素電極との距離を等しくするとともに、列配線に対向する配線の長さ、すなわち対向長を等しくすることにより、達成される。その1例が図1に示した画素構造である。この他にも、容量計算により、(数式9)の寄生容量を等しく設計する方法も有効である。

【0053】図16に本実施例の駆動シーケンスを示す。

【0054】本実施例は行毎に画素への書き込み電圧の極性を反転する行毎反転駆動を用いているため、共通配線209の電圧 V_{com} を行毎に交流化している。本実施例におけるその他の駆動方式としては、共通配線209の電圧 V_{com} を常に一定としたドット反転駆動、列毎反転駆動や行毎反転駆動、あるいはフレーム毎に共通配線の電圧 V_{com} を交流化するフレーム反転駆動や列毎反転駆動によ

る低電圧駆動が可能である。2つのアクティブ素子203Aおよび203Bによる第1行目のそれぞれの画素電極への書き込み電圧 V_{sd1} および V_{com} を示す。ゲートの選択パルス V_{q1} をHighレベルにすることにより、画像データに依存する電圧 V_{sd1} と共通配線の電圧 V_{com} が画素電極204および210に書き込まれた後、ゲート選択パルス V_{q1} のHighレベルからLowレベルへの変化によるアクティブ素子のオンからオフへの移行により、つき抜け電圧 ΔV_s が発生する。この時、画素に配置した2つのアクティブ素子の寄生容量および駆動能力などを等しくしておく。これにより、両アクティブ素子による正極性と負極性の書き込みにおけるつき抜け電圧は等しくなるため、直流成分が液晶に印加されないで、フリッカや残像を発生させることがない。

【0055】本実施例を動画表示に適用する場合について説明する。従来の液晶表示装置において、動画像がぼやけることが"電子情報通信学会技術報告E1D2000-47 pp.13-18(2000-09)に説明されている。この動画のぼやけを改善する方法として、液晶の照明装置を間欠点灯にする技術が同誌に記載されている。この中で、1フレームの時間の中で照明装置を点灯させる割合(点灯デューティと呼ぶ)により、動画像の画質が影響されることが述べられており、通常

で画像が移動する動画像を高速応答の液晶ディスプレイを用いて表示した場合、点灯デューティを $1/2$ 以下とすることが必要で(動画像のボヤケに対してがまんできる限度ということで許容限と呼ばれている)、 $1/4$ 程度まで点灯デューティを下げると動画のボヤケを人間が知覚できなくなるいわゆる検知限に達することが示されている。

【0056】照明装置の間欠点灯により画像を表示するためには、画像データの画素への書き込みを行う走査期間と照明装置の点灯期間とを切り分ける必要がある。つまり、走査によって書込まれた画像データに対応した液晶の光学応答が完了してから照明装置を点灯することを基本とする。また、動画像を表示する場合には、フレーム毎に書き込みデータが変化することにより直流成分が重畳されやすい。これを完全に防止するためには、同じ画像データに基づく正負の電圧書き込みを同一フレーム内で行うフレーム内交流駆動が効果的である。

【0057】これを実現する駆動シーケンスに付いては詳述しないが、1フレーム期間内に正極性と負極性の両極性を等しい時間表示することが必要で、照明装置の間欠点灯と同期することも合わせて考えると、黒を書込むプリセット書き込みと通常の4倍の高速書き込みが必要となる。本実施例および他の本発明による実施例の多くは画素に書込む電圧を決定する電圧を供給する配線の負荷が軽い構成となっているため、上記高速駆動に適している。また、列配線上の電圧変動に対してクロストークを発生させない構成となっていることから、電圧書き込み中であっても照明装置を点灯状態として可視化することができるので、点灯デューティの高い明るい動画表示においてもクロストークの無い高品位の表示を実現できる。

【0058】図4から図6および図8および図9に(数式9)を実現する他の画素構造例を示す。図7に図6に示す画素構造に対する等価回路図を示す。図25に図4、図8および図9の画素構造に対する画素等価回路図を示す、図5の等価回路についてはシールド電極が無いことを除いて図25と同一であることから省略する。

【0059】図4は画素中央部に画素電極と第2の画素電極のオーバーラップ部を設け、このオーバーラップ部を保持容量205としたものである。さらに、2つのアクティブ素子203Aおよび203Bも画素の行方向の中央部に配置し、左右両側の列電極による静電的なクロストークを最小限に抑制している。また、書き込み時の共通線の電圧歪を抑制するため、各共通配線209をシールド電極621で列方向に接続し、メッシュ構造としている。これにより、電圧書き込み時の充電電流を隣接あるいはさらに離れた共通配線に分散することが可能となり、書き込み時の電圧変動を抑制し、より高画質な表示が可能となる。

【0060】図5は基本構成は図4の実施例と同様であるが、シールド電極を省略してもクロストークの無い表

示を実現できることを特徴としている。シールド電極を省略することにより画素電極と第2の画素電極間の面積で決定される画素の開口部を大きくすることが可能で、これにより明るい表示が可能となる。また、プロセスからシールド電極形成工程を省略できるため、簡略プロセスによる製造が可能となることから、量産性に優れた構造を実現できる。本実施例では共通配線が各行で独立した構成となっているため、各行毎に共通配線の電位を変えて設定することも可能で、フレーム毎に共通配線の電位を交流化する行毎反転駆動による低電圧駆動が実現できる。この場合、書き込み時の共通配線の電圧が固定されているため、共通配線の充電時定数の影響による波形歪の無い高画質な低電圧駆動が実現できる。

【0061】図6は画素を上下方向の2分割に加え、左右方向を3分割したものである。これまでの実施例から明らかなように、左右方向の分割数が奇数の場合には、本実施例に示すように、2つのアクティブ素子を同一の行配線により制御する構成にすることにより、スペース上の無駄の少ない高開口率な画素構造を実現できる。ただし、別の行配線により制御することも可能である。本実施例では、シールド電極621を共通配線209と接続しているが、電位がほぼ固定されている配線であれば共通配線にはこだわらない。例えば、上下に隣接するいずれかの行配線201と接続しても同様の遮蔽効果が得られる。本実施例も共通配線の配置が図5の実施例と同様であるため行毎反転駆動による高画質な低電圧駆動が実現できる。

【0062】上記の画素構造と駆動方式は任意に組み合わせ可能である。

【0063】図8の実施例は共通配線209を画素の中央部に配置したものである。共通配線209と行配線201をプロセス上の制約から同一の配線工程で形成する場合に、両配線間の距離を十分確保することができるため、共通配線209と行配線201を同層とした場合のショートによる不良を大幅に低減できるとともに、共通配線209と保持容量205を積層構造として共通配線の面積相当を開口部の振り分けることができるため、開口率が高く明るい表示装置を実現できる。

【0064】図9の実施例は基本構成および等価回路は図8の構成と同様であるが、画素電極と列配線の成す角度を中央部の保持容量の上下でくの字を形成するように変えていることが特徴である。これにより、インプレーススイッチングモードの視野角特性を更に向上することが可能となる。本実施例では、液晶の配向方向を列配線と平行な方向となるため、プロセス上、ガラス基板に対して行っていた角度を持たせた配向処理が基板の一方の辺と平行となるため、角度の設定や、偏光板の合せ精度などが向上し、特にピークコントラストなどの特性を向上することができる。

【0065】本実施例に限らず、差電圧により画素に電

圧を書込む場合、トランジスタの耐圧を低減できるメリットがある。従来の低電圧駆動では、共通電極がアクティブ素子を介さずに直接第2の画素電極に接続されていたため、共通電極を交流化して低電圧駆動をすると、共通電圧の電圧変動分が画素電極に重畳され、画素への書き込み電圧と共通電極の交流化電圧の和の最大値に相当する耐圧が各トランジスタに必要であった。しかし、差電圧で書き込む場合には、トランジスタに印加される電圧は書き込み時の最大電圧以上に上がることが無いため、トランジスタの耐圧を低く押さえることができる。これにより、トランジスタサイズの縮小による開口率の向上や、プロセスの選択肢の拡大などが実現される。

【0066】以上に述べた本実施例に拠れば、液晶への電圧書き込み期間には第1および第2のアクティブ素子を導通状態とし、保持期間においては高抵抗状態としたことと、列配線からの電圧のクロストークをほぼ完全に抑制する画素電極構造を実現したことにより、表示期間におけるクロストークのない、高画質な液晶表示装置を供給できる。また、本実施例に拠れば、共通配線の電圧変動の影響を殆ど受けないため、共通配線の交流化による表示装置全体の低電圧化が可能である。さらに、2つのアクティブ素子により画素を構成し、両アクティブ素子の突き抜け電圧を等しくすることができるので、直流電圧の重畳の無い、高画質な液晶表示装置を提供できる。

【0067】(実施例2)本発明の第2の実施例について、図10、図13および図17により説明する。図10は本実施例の画素レイアウト図、図13は図10で示した画素構造を用いた液晶表示装置の構成を示す等価回路図、図17には本実施例の液晶表示装置の駆動シーケンスを示す。

【0068】図10と図13において、基本的な構成は図1の本発明の第1の実施例と同様であるが、共通配線を削除し、2つのアクティブ素子のドレイン端子を両側の列配線に接続するとともに、行配線を各画素の上下に配置し、1列毎に異なる行配線をアクティブ素子のゲート電極としたことを特徴とする。共通配線を削除したため、画素に書き込む電圧は隣接する列配線の差電圧となる。差電圧により書き込むことから所望の電圧差を同時に書き込むことができる画素数は列配線数の半分となる。従って、1本の行配線で1行を構成する全画素を同時に書き込むことができないため、1行を構成する画素を奇数列と偶数列に分割し、時間的に2分割してそれぞれの画素へ書き込む構成とした。本実施例において、第2のアクティブ素子を隣接する列配線と接続する代わりに、当該画素の書き込みに関与しない行配線、例えば図10における V_{qn-1} または V_{qn+2} の電圧を供給する行配線と接続しても良い。この場合、構造的には実施例1とほぼ同様になることから、期待される効果及び駆動方式も実施例1と同様となることから詳細な説明は省略する。図13と図17により駆動シーケンスを説明する。2本の行配線20

1uと201bの内、行配線201uは奇数列の画素への書き込みを受け持ち、奇数列の列配線とその右側の列配線の差電圧で書き込み、行配線201bは偶数列への書き込みを奇数列への書き込み後に、偶数列の列配線とその右側の列配線の差電圧で書き込む。例えば、1行1列目の画素への書き込みは列配線電位 V_{d1} と列配線電位 V_{d2} の差電圧 V_{s11} で書き込み、1行2列目の画素への書き込みは列配線電位 V_{d2} と列配線電位 V_{d3} の差電圧 V_{s12} で書き込む。ここで、隣接する列配線に印加する電圧の絶対値を常に等しくなるように設定する。これにより、必要とする電圧の最大値を低減することができるとともに、画素を挟む両列電極の極性が平均電圧 V_c を中心として常に反転させることができる。画素を挟む列電極の極性を反転させることで行毎反転駆動と同様に列方向のクロストークを抑制することが可能となる。各画素への書き込み終了時には2つのアクティブ素子のオンからオフへの移行に伴う突き抜け電圧 ΔV_s が発生するが、2つのアクティブ素子の突き抜け電圧が等しいことから、画素に印加される差電圧 V_{s11} は変化することが無い。この走査を最終行まで繰り返すことで1フレーム書き込みが終了し、1画面分の画像を表示できる。

【0069】本実施例では第1の実施例に対して、行配線の数が2倍あるため1/2の選択時間で高速に書き込む必要があるが、選択時間の限界を決めるゲート書き込みの負荷と画素書き込みの負荷の両者において第1の実施例と比較して非常に軽いことから問題とはならず、逆に高画質な表示を実現できる。以下書き込み負荷について説明する。ゲート書き込みは行配線の書き込み時定数により支配される。本実施例では、各行配線は書き込み選択時に1行分の行配線と列配線の交差部の容量や1/2行分のアクティブ素子のゲート容量を充電するが、共通配線が無いことからその容量負荷は1/2以下に軽くすることができる。画素書き込みについては、本実施例では負荷容量の軽い列配線の充電時定数とアクティブ素子の書き込み時定数のみで表示性能が決定されるため高速の書き込みが可能であるが、共通配線を持つ構成においては、共通配線自体の負荷が大きいためによる充電時定数の増大と、共通配線の電圧変動が直接表示品質に影響することから十分電位を安定させることが必要になることから高速の書き込みが難しい。本実施例では、十分な書き込みが必要な画素への書き込み電圧を負荷の軽い列配線のみから供給できることから、共通配線を設けなくても差電圧による画素への書き込みを実現できる。

【0070】本実施例は画素への書き込み電圧を隣接する列電極間の電位差のみで決めることができるため、任意の駆動方式を用いることができる。ここでは詳細に述べないが、たとえば、ドット反転駆動方式により、低電圧駆動を実現することも容易にできるし、突き抜け電圧による直流成分の重畳が無いことから、フレーム反転駆動方式による低電圧駆動を用いて表示装置の外部の回路方

式を簡略化することもできる。

【0071】本実施例では特にアクティブ素子の限定は無く、非晶質薄膜トランジスタに限らずガラス基板上に多結晶の薄膜トランジスタを形成する低温ポリシリコンや石英基板上に多結晶の薄膜トランジスタを形成する高温ポリシリコン、単結晶のシリコン基板上にトランジスタを形成する単結晶シリコンを用いても良い。本実施例での説明ではN型のアクティブ素子を中心に説明しているが、ソース・ドレイン電圧よりも低いゲート電圧で導通状態となるP型のアクティブ素子を用いても良い。特に、多結晶の薄膜トランジスタや単結晶のトランジスタを用いる低温ポリシリコン、高温ポリシリコンあるいは単結晶シリコンでは書込み能力が高く、本実施例の如く高速の書込みを必要とする場合に適している。

【0072】本実施例では特にシールド電極を設ける必要はないが、更に画質を向上させる場合には、行配線は選択期間以外は固定電位であることから、シールド電極用の電圧供給源として利用できる。隣接する行配線またその前後の行配線から各列配線を覆うように突起状の電極を伸ばしてシールド電極とすることが可能である。

【0073】このように、本実施例は共通配線を用いた場合に比較して、高速で高精度な書込みが実現できるので、大画面、高精細な表示装置においても高画質な表示を実現できる。

【0074】(実施例3) 本発明の第3の実施例について、図11および図12、図14および図15、図18および図19により説明する。図11および図12は本実施例の画素レイアウト図、図14および図15は図11および図12で示した画素構造を用いた液晶表示装置の構成図、図18および図19には本実施例の液晶表示装置の駆動シーケンスを示す。

【0075】図11(a)および図14により説明する。基本的な構成は図10の本発明の第2の実施例と同様であるが、2つのアクティブ素子を両側の列配線に接続するとともに、駆動素子のタイプをゲート電圧がソース・ドレイン電圧に対して正の時に導通状態と成るN型薄膜トランジスタと負の時に導通状態となるP型の薄膜トランジスタの双方を用い、同一の行配線によりオン・オフが制御されるアクティブ素子の列方向に隣接するタイプを異なるように配置したことを特徴とする。本実施例では、特に、各行を構成する画素に接続するアクティブ素子を行毎に異なるタイプを用いるとともに、各列毎に上下の異なる行配線の電圧によりアクティブ素子のオン・オフを制御することを特徴とする。本実施例では奇数行はN型のアクティブ素子203ANおよび203BNを用い、偶数行ではP型のアクティブ素子203APおよび203BPを用いた。これにより、1行の画素の駆動に対して行配線を1本とすることができる。本実施例では、シールド電極を用いていないが、実施例2と同

様に行配線を利用してシールド電極を配置することも可能である。

【0076】図14および図18により駆動シーケンスを説明する。図18に示すように、本実施例はTV画像などの動画用として多用されるインターレース駆動に適用したもので、1フレームを2つのサブフレームに分割した構成としている。正極性のゲートパルスVgを行配線201に順次与えていくことにより、2回の行書込みゲートパルスにより1行の書込みが完結し、これを繰り返すことにより、奇数行を順次書込むインターレース駆動を実現できる。さらに、次のサブフィールドにおいて負極性のゲートパルスVgを同様に順次与えることにより、偶数行の書込みを実行できる。これにより、1フレームの画像を表すことができる。

【0077】本実施例においては、同一の行配線においてゲートパルスの極性を正負時系列に印加することにより、全画面を1連の走査により行うことも可能である。

【0078】図12に本実施例の他の画素構成を示す。図12は図11(a)と等価回路および駆動方式は全く同一であるが、画素レイアウトが異なる。第1および第2の画素電極210および204を列配線202とオーバーラップを持つように電極の太さおよび配置する配置の内、少なくとも一方を変えたことを特徴とする。これにより、列配線202と画素電極210および204との間の隙間が無くなることから、コントラスト比を向上する目的で対向側の基板上に配置する列方向に伸びる斜光層を省略することが可能となる。これにより上下基板間の合せの裕度をとる必要がなくなることから、大幅に開口率が向上し明るい液晶表示装置が実現できた。

【0079】図11(b)および図15により他の本実施例を説明する。基本的な構成は図11(a)に示した実施例と同様であるが、1行を構成する画素への書込みを制御するアクティブ素子を1本の行配線に接続するとともに、列方向のアクティブ素子のタイプを行毎に変えたことを特徴とする。本実施例では奇数行、奇数列はP型のアクティブ素子203APおよび203BPを用い、奇数行、偶数列ではN型のアクティブ素子203ANおよび203BNを用い、偶数行では図15に示すように逆の構成とした。

【0080】駆動シーケンスについて図15と図19により説明する。図19に示すように1フレームを1連の走査により書込んでいる。1行の書込みは正と負のゲートパルスを印加することにより1/2行ずつ書込むことにより実行する。これにより、1行の画素の駆動に対して行配線を1本とすることができる。また、本実施例はコンピュータの画像源のように1フレームの画像データを順次送ってくるノンインターレース駆動に適した駆動方式である。

【0081】本実施例に拠れば、共通配線とシールド電極を省略できるため、共通配線による開口率の低下を大

幅に抑制することが可能となり、開口率の高い明るい表示が可能と成る。

【0082】インターレース駆動に適している。

【0083】

【発明の効果】本発明によれば、駆動方法を選ばない低電圧駆動と配線数の少ない高開口率な画素構造を実現するとともに、クロストークによる画質劣化を抑制できることから、高画質かつ駆動電圧および消費電力の低減が可能な液晶表示装置を提供できる。

【図面の簡単な説明】

【図1】本発明の実施例1における画素平面レイアウト図である。

【図2】本発明の実施例1における効果を示す等価回路図である。

【図3】本発明の実施例1における効果を示す等価回路図である。

【図4】本発明の実施例1における他の画素平面レイアウト図である。

【図5】本発明の実施例1における他の画素平面レイアウト図である。

【図6】本発明の実施例1における他の画素平面レイアウト図である。

【図7】本発明の実施例1における効果を示す等価回路図である。

【図8】本発明の実施例1における他の画素平面レイアウト図である。

【図9】本発明の実施例1における他の画素の平面レイアウト図である。

【図10】本発明の実施例2における他の画素平面レイアウト図である。

【図11a】本発明の実施例3における他の画素平面レイアウト図である。

【図11b】本発明の実施例3における他の画素平面レイアウト図である。

【図12】本発明の実施例3における他の画素平面レイアウト図である。

【図13】本発明の実施例2における液晶表示装置の等

価回路図である。

【図14】本発明の実施例3における液晶表示装置の等価回路図である。

【図15】本発明の実施例3における液晶表示装置の等価回路図である。

【図16】本発明の実施例1における液晶表示装置の駆動シーケンスである。

【図17】本発明の実施例2における液晶表示装置の駆動シーケンスである。

10 【図18】本発明の実施例3における液晶表示装置の駆動シーケンスである。

【図19】本発明の実施例3における液晶表示装置の駆動シーケンスである。

【図20】従来のインプレーンスイッチング方式における液晶表示装置の画素平面レイアウト図である。

【図21】従来のインプレーンスイッチング方式における液晶表示装置の画素の等価回路図である。

【図22】従来の液晶表示装置の等価回路図である。

20 【図23】従来のインプレーンスイッチング方式液晶表示装置の画素平面レイアウト図である。

【図24】インプレーンスイッチング方式液晶表示装置の液晶動作を示す図である。

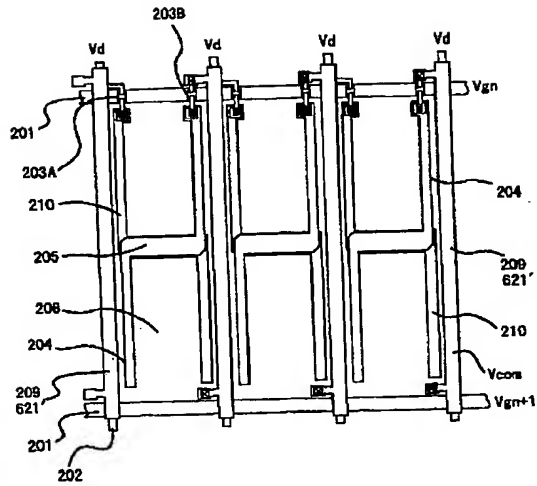
【図25】本発明の実施例1における液晶表示装置の等価回路図である。

【符号の説明】

105…メモリ制御回路、106…ゲートドライバ、107…データドライバ、111…画像データ、112…表示パネル、201…行配線、202…列配線、203…アクティブ素子、204…第2の画素電極、205…保持容量、207…透明電極、208…液晶容量、209…共通配線、210…画素電極、211…開口部、401、402…線状の電極、403…透明基板、404…配向制御膜、405…液晶分子、406…偏光板、407…電界、408…液晶分子の配向方向、409…偏光透過軸の角度、621…シールド電極、631…寄生容量。

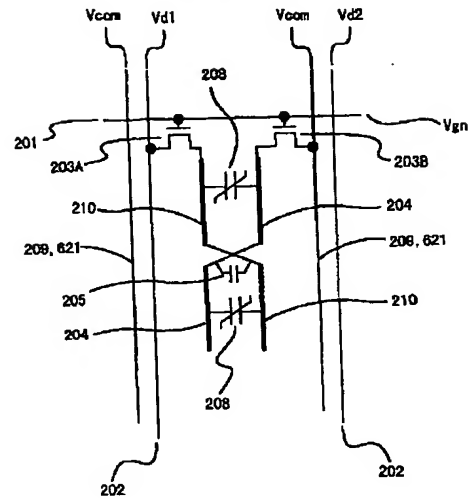
【図1】

図 1



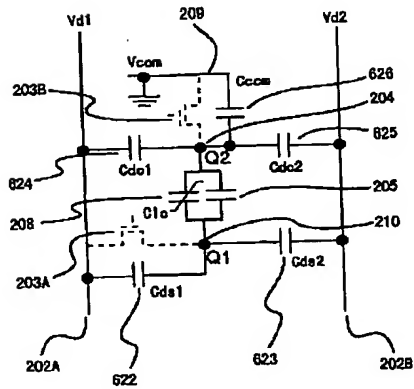
【図2】

図 2



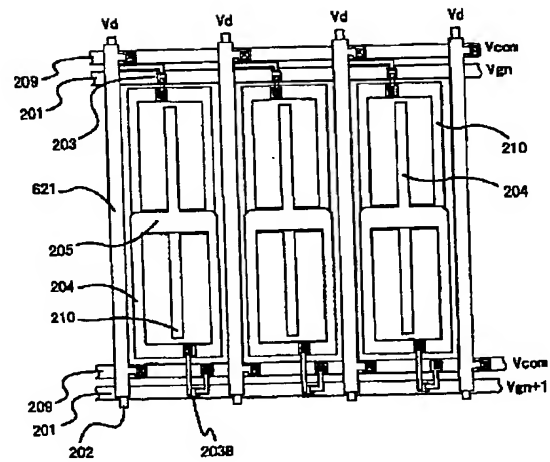
【図3】

図 3



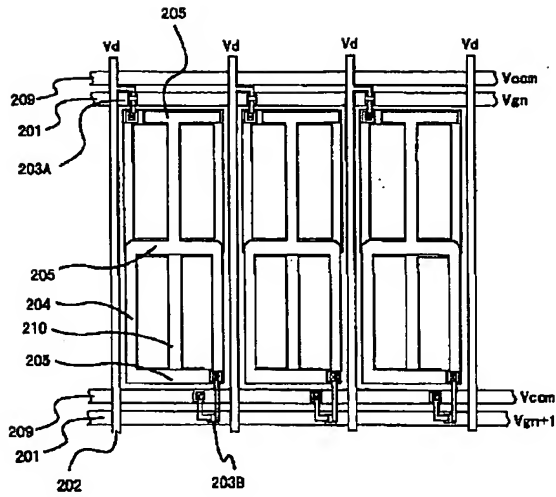
【図4】

図 4



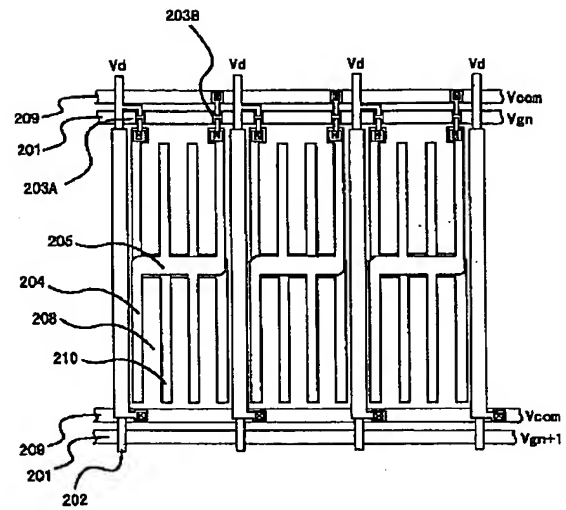
【図5】

図 5



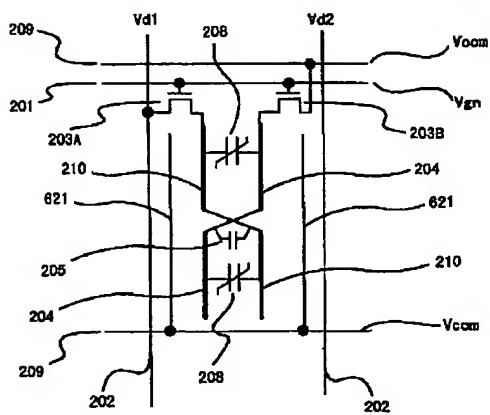
【図6】

図 6



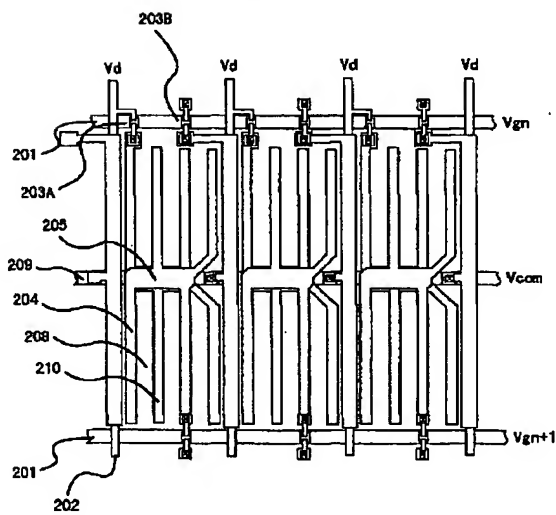
【図7】

図 7



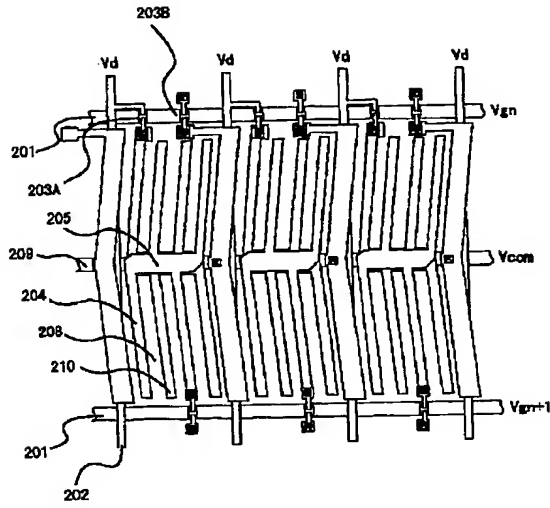
【図8】

図 8



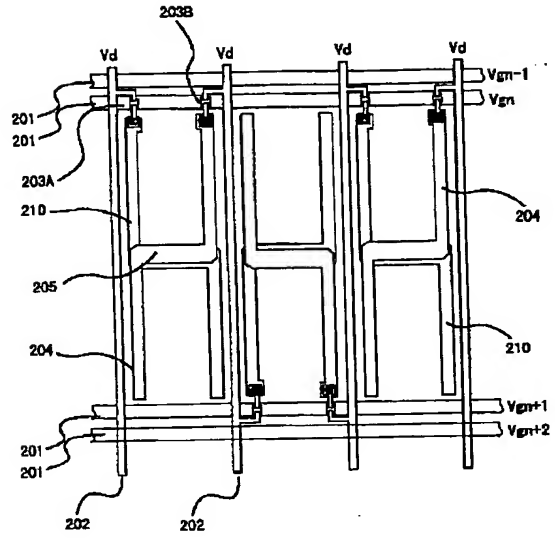
【図9】

図 9



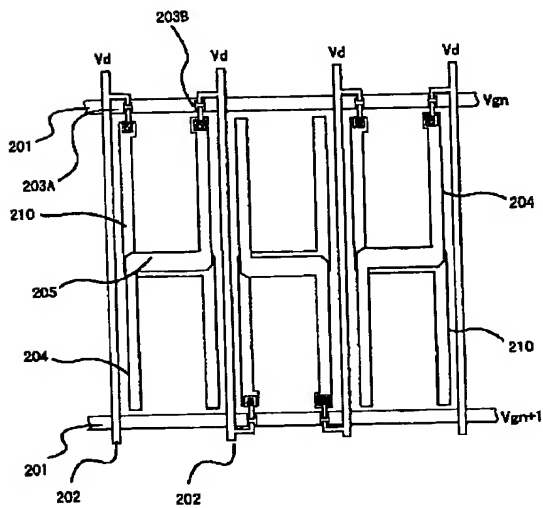
【図10】

図 10



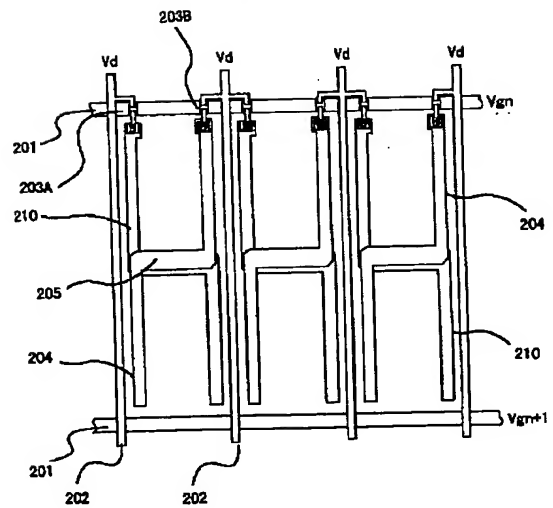
【図11a】

図 11a



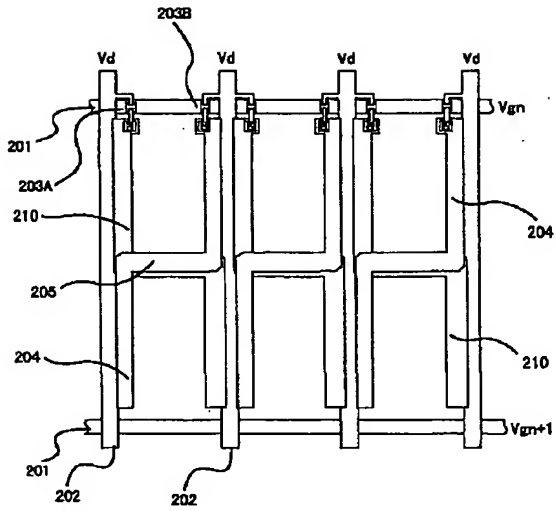
【図11b】

図 11b



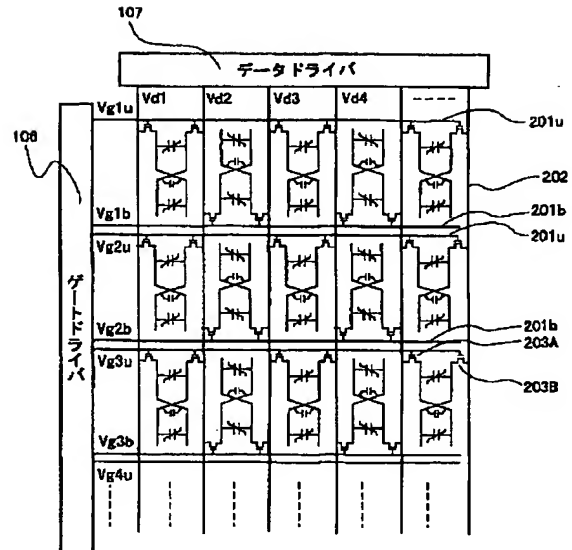
【図12】

図 12



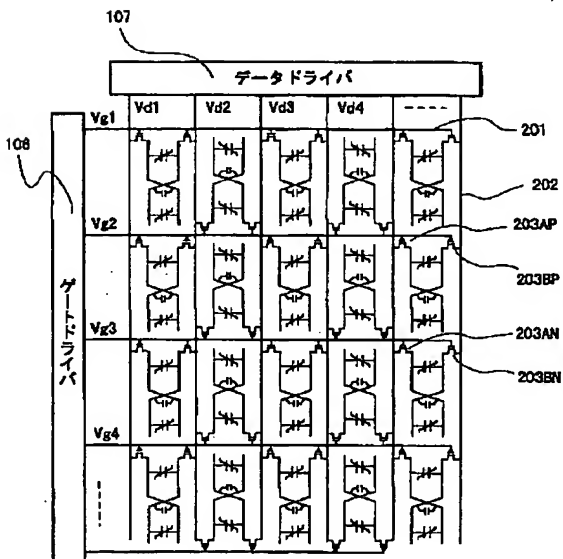
【図13】

図 13



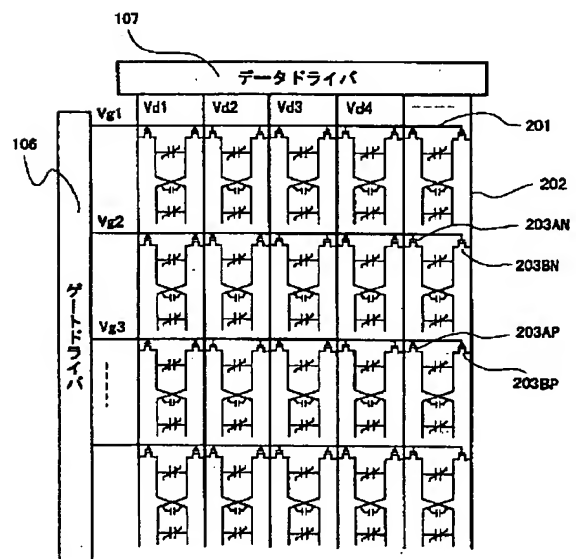
【図14】

図 14



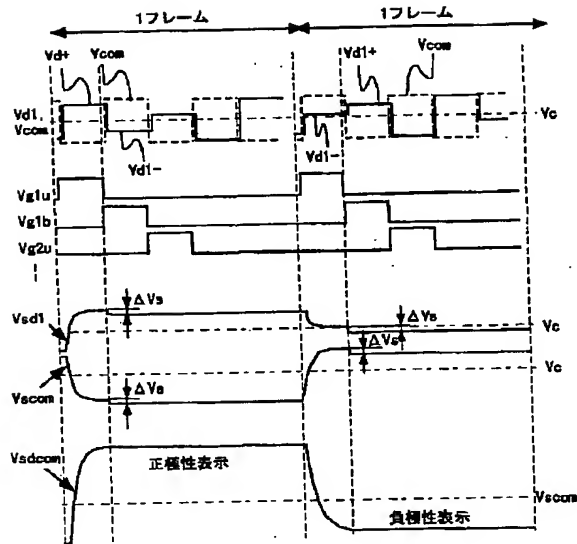
【図15】

図 15



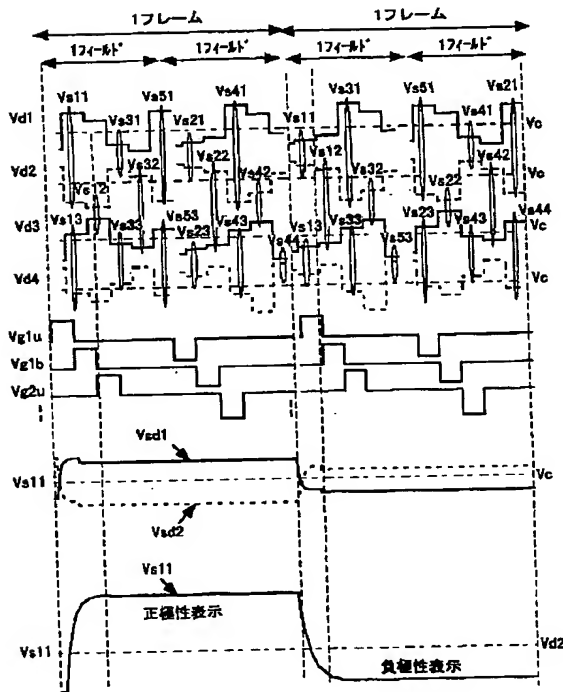
【図16】

図 16



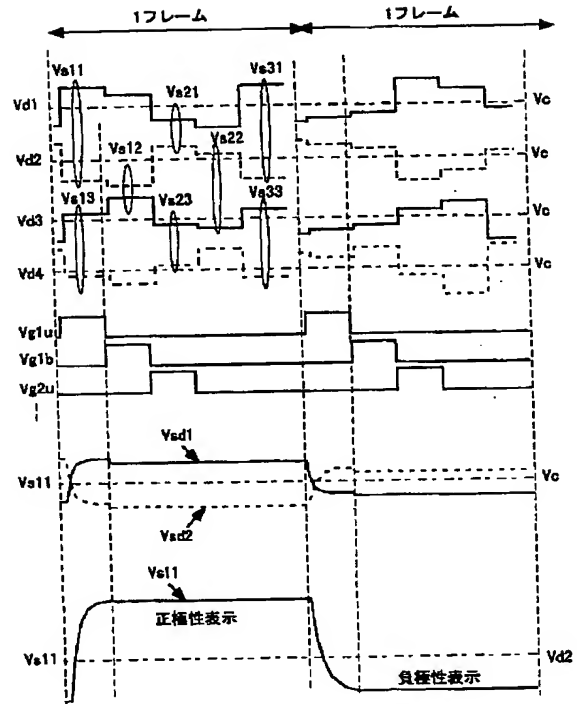
【図18】

図 18



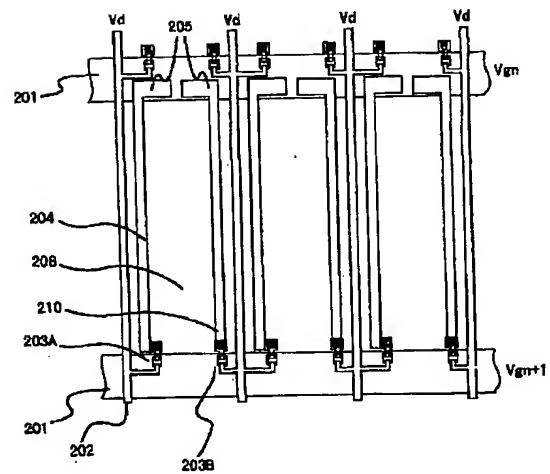
【図17】

図 17



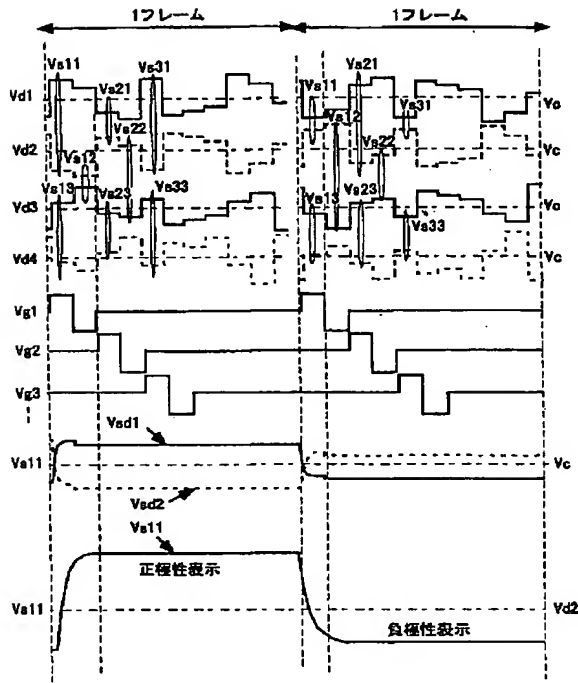
【図20】

図 20



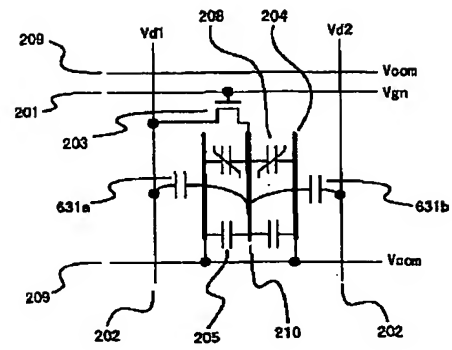
【図19】

図 19



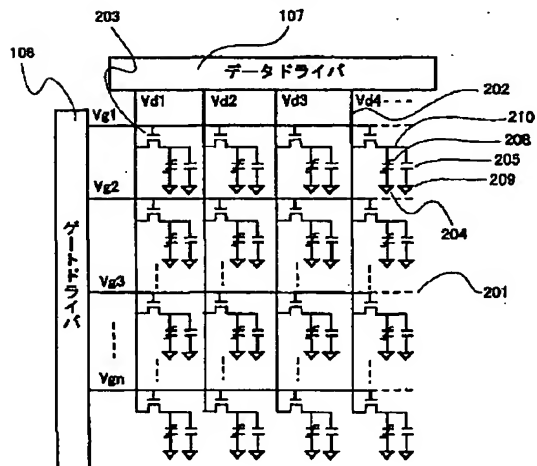
【図21】

図 21



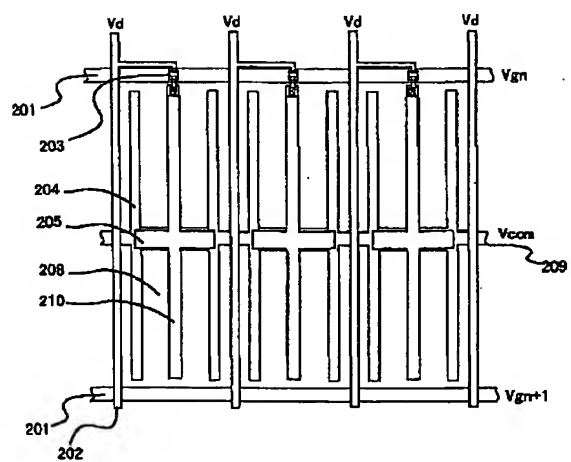
【図22】

図 22

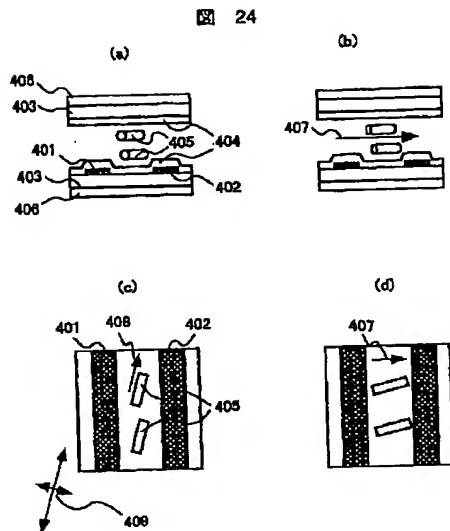


【図23】

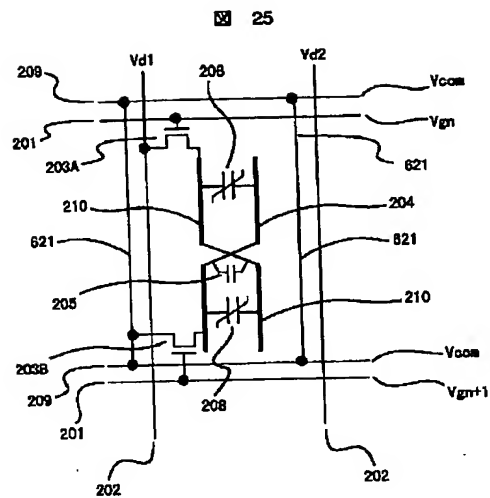
図 23



【図24】



【図25】



フロントページの続き

(51)Int.Cl.⁷
G 0 9 G 3/20

識別記号
6 2 1
6 2 4
6 4 1

3/34

F I
G 0 9 G 3/20

3/34

テーマコード(参考)

6 2 1 B
6 2 4 B
6 4 1 E
J

(72)発明者 山本 恒典
茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内

(72)発明者 檜山 郁夫
茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内

(72)発明者 青野 義則
茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内

F ターム(参考) 2H092 GA13 GA14 GA21 GA26 GA28
JB42 JB61 NA01 NA07 NA28
2H093 NA79 ND15 ND22 ND38 NE03
5C006 AC07 AC11 AC28 AF43 BB16
BC06 EA01 FA36 FA46
5C080 AA10 BB05 DD10 EE29 FF11
JJ02 JJ03 JJ04 JJ06

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第2区分

【発行日】平成16年11月18日(2004.11.18)

【公開番号】特開2003-131636(P2003-131636A)

【公開日】平成15年5月9日(2003.5.9)

【出願番号】特願2001-331844(P2001-331844)

【国際特許分類第7版】

G 0 9 G 3/36

G 0 2 F 1/133

G 0 2 F 1/1343

G 0 2 F 1/1368

G 0 9 G 3/20

G 0 9 G 3/34

【F I】

G 0 9 G 3/36

G 0 2 F 1/133 5 5 0

G 0 2 F 1/1343

G 0 2 F 1/1368

G 0 9 G 3/20 6 1 1 D

G 0 9 G 3/20 6 2 1 B

G 0 9 G 3/20 6 2 4 B

G 0 9 G 3/20 6 4 1 E

G 0 9 G 3/34 J

【手続補正書】

【提出日】平成15年11月25日(2003.11.25)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

少なくとも一方が透明な一对の基板と、該一对の基板間に挾持された液晶層と、前記一对の基板の一方の基板に複数の行配線と該複数の行配線に交差して配置された複数の列配線と、複数の共通配線を有し、前記複数の行配線と複数の列配線の交差部付近に第1のアクティブ素子を有し、該第1のアクティブ素子を通じてマトリクス状に配置された画素に画像データに応じた電圧を書込む液晶表示装置において、

前記画素内に第2のアクティブ素子、第1の画素電極、及び第2の画素電極を設け、前記第1のアクティブ素子の一端子を前記第1の画素電極に、他の端子を列配線に接続し、前記第2のアクティブ素子の一端子を前記第2の画素電極に、他の端子を前記共通配線または前記画素電極の書込みに関与しない行配線に接続するとともに、液晶への電圧書込み期間には前記第1および第2のアクティブ素子を導通状態とし、保持期間においては前記第1および第2のアクティブ素子を高抵抗状態とするとともに、画素に隣接する列配線のそれぞれについて、前記列配線と前記第1の画素電極間の容量と、前記列配線と前記第2の画素電極間の容量を等しくしたことを特徴とする液晶表示装置。

【請求項2】

少なくとも一方が透明な一对の基板と、該一对の基板間に挾持された液晶層と、前記一对の基板の一方の基板に複数の行配線と該複数の行配線に交差して配置された複数の列配線

と、複数の共通配線を有し、前記複数の行配線と複数の列配線の交差部付近に第1のアクティブ素子を有し、該第1のアクティブ素子を通じてマトリクス状に配置された画素に画像データに応じた電圧を書込む液晶表示装置において、
前記画素内に第2のアクティブ素子、第1の画素電極、及び第2の画素電極を設け、前記第1のアクティブ素子の一端子を前記第1の画素電極に、他の端子を列配線に接続し、前記第2のアクティブ素子の一端子を前記第2の画素電極に、他の端子を前記共通配線に接続するとともに、液晶への電圧書込み期間には前記第1および第2のアクティブ素子を導通状態とし、保持期間においては該第1および第2のアクティブ素子を高抵抗状態とするとともに、前記画素の列方向の中央付近に前記第1の画素電極と前記第2の画素電極による絶縁膜を介した重畳部を設けるとともに、該重畳部を中心として、前記第1の画素電極と前記第2の画素電極を列方向に線対称の関係をなす形状に形成したことを特徴とする液晶表示装置。

【請求項3】

請求項2の液晶表示装置において、
前記第1の画素電極と前記第2の画素電極による重畳部に保持容量を形成したことを特徴とする液晶表示装置。

【請求項4】

請求項1から3のいずれか一項に記載の液晶表示装置において、
前記共通配線を前記行配線にほぼ平行に配置すると共にこの共通配線の一部に突起状のシールド電極を設け、該シールド電極が該列配線を挟むか、前記列配線と前記第1および第2の画素電極との間に位置するか、あるいは、覆うように配置したことを特徴とする液晶表示装置。

【請求項5】

請求項1から3にいずれか一項に記載の液晶表示装置において、
前記共通配線は、メッシュ状に配置していることを特徴とする液晶表示装置。

【請求項6】

請求項1から3にいずれか一項に記載の液晶表示装置において、
前記共通配線を前記列配線に平行に配置したことを特徴とする液晶表示装置。

【請求項7】

少なくとも一方が透明な一对の基板と、該一对の基板間に挟持された液晶層と、前記一对の基板の一方の基板に複数の行配線と複数の列配線を配置し、該複数の行配線と複数の列配線の交差部に対応して画素を配置した液晶表示装置において、
該画素内に第1の画素電極と第2の画素電極を設け、該画素内に第1のアクティブ素子を配置し、その出力端子を該第1の画素電極と画素に隣接する一方の列配線に接続し、該画素内に第2のアクティブ素子を配置し、その出力を該第2の画素電極と隣接する他方の列配線に接続するとともに、液晶への電圧書込み期間には該第1および第2のアクティブ素子を導通状態とし、保持期間においては該第1および第2のアクティブ素子を高抵抗状態とし、隣接する列配線の差電圧を液晶に印加することにより画像を表示するとともに、画素に隣接する列配線のそれぞれについて、該列配線と第1の画素電極間の容量と、該列配線と第2の画素電極間の容量を等しくしたことを特徴とする液晶表示装置。

【請求項8】

少なくとも一方が透明な一对の基板と、該一对の基板間に挟持された液晶層と、前記一对の基板の一方の基板に複数の行配線と複数の列配線を配置し、該複数の行配線と複数の列配線の交差部に対応して画素を配置した液晶表示装置において、
該画素内に第1の画素電極と第2の画素電極を設け、該画素内に第1のアクティブ素子を配置し、その出力端子を該第1の画素電極と画素に隣接する一方の列配線に接続し、該画素内に第2のアクティブ素子を配置し、その出力を該第2の画素電極と隣接する他方の列配線に接続するとともに、液晶への電圧書込み期間には該第1および第2のアクティブ素子を導通状態とし、保持期間においては該第1および第2のアクティブ素子を高抵抗状態とし、隣接する列配線の差電圧を液晶に印加することにより画像を表示するとともに、該画

素の列方向の中央付近に該第 1 の画素電極と該第 2 の画素電極による絶縁膜を介した重畳部を設けるとともに、該重畳部を中心として、該第 1 の画素電極と該第 2 の画素電極を列方向に線対称の関係をなす形状に形成したことを特徴とする液晶表示装置。

【請求項 9】

請求項 8 の液晶表示装置において、

前記第 1 の画素電極と前記第 2 の画素電極による重畳部に保持容量を形成したことを特徴とする液晶表示装置。

【請求項 10】

請求項 8 の液晶表示装置において、

1 行を構成する画素を複数の画素群に分割し、1 行に対し、この分割数に等しい行配線をもうけ、各行配線がそれぞれ所定の画素群の書込みを制御することを特徴とする液晶表示装置。

THIS PAGE BLANK (USPTO)